

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-303242

(43)Date of publication of application : 28.10.1994

(51)Int.Cl.

H04L 12/40

(21)Application number : 05-089631

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 16.04.1993

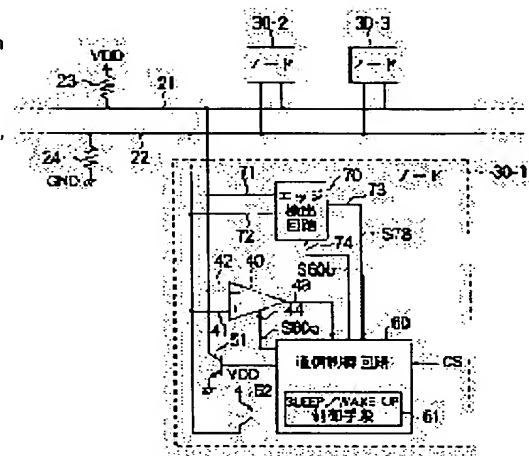
(72)Inventor : OYA MITSUNARI

(54) LOCAL AREA NETWORK LINE SYSTEM

(57)Abstract:

PURPOSE: To reduce the consumption current of a reception circuit during SLEEP by switching a system to a signal change detection circuit with less current consumption during SLEEP switching it to the reception circuit at regular time after WAKE-UP is detected.

CONSTITUTION: A sleep/wake-up (SLEEP/WAKE-UP) control means 61 in a communication control circuit 60 sets a SLEEP command signal S60a to 'L' when SLEEP control CS comes from host CPU. Power current is interrupted and consumption current becomes little in a differential comparator 40. The control means 61 sets an initialization signal S60b to 'L' and releases the resetting of an edge detection circuit 70. When the edge detection circuit 70 detects the transmission of a message on BUS 21 and 22, a WAKE-UP command signal S73 becomes '1' and the communication control circuit 60 sets the SLEEP command signal S60a to 'H'. Thus, the differential comparator 40 starts the reception of input.



LEGAL STATUS

[Date of request for examination] 11.08.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2752030

[Date of registration] 27.02.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-303242

(43)公開日 平成6年(1994)10月28日

(51)Int.Cl.⁵

H 0 4 L 12/40

識別記号

庁内整理番号

F I

技術表示箇所

7341-5K

H 0 4 L 11/ 00

3 2 0

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21)出願番号

特願平5-89631

(22)出願日

平成5年(1993)4月16日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 大家 充也

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

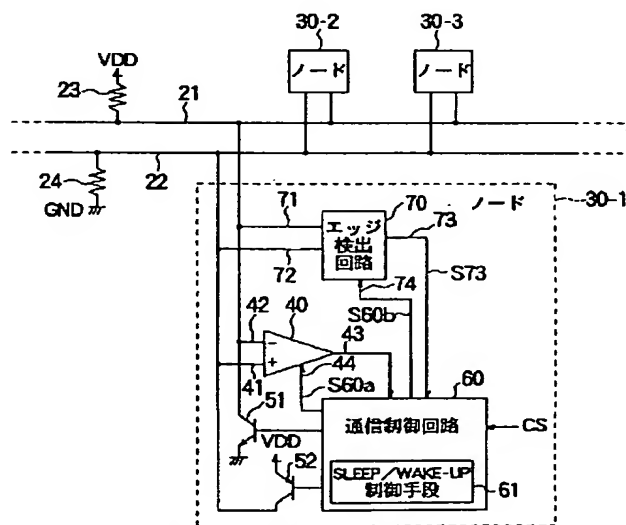
(74)代理人 弁理士 柿本 恭成

(54)【発明の名称】 ローカルエリアネットワーク回線システム

(57)【要約】

【目的】 SLEEP中の消費電流を減らす。

【構成】 SLEEP中は、SLEEP/WAKE-UP制御手段61によって、消費電力の大きな差動コンパレータ40からエッジ検出回路70へ切り換え、該エッジ検出回路70でLAN回線21、22上の信号伝送開始を検出させる。エッジ検出回路70がLAN回線21、22上の他のノードからの信号伝送開始を検出すると、通信制御回路60が差動コンパレータ40を動作させ、該差動コンパレータ40でLAN回線21、22上のメッセージデータ等を受信させる。



本発明の実施例の LAN 回線システム

【特許請求の範囲】

【請求項1】 マスタとなってデータを送信することが可能な装置が、多重通信のローカルエリアネットワーク回線に接続され、

前記装置は、送信データを前記ローカルエリアネットワーク回線へ出力する送信回路と、前記ローカルエリアネットワーク回線上のデータを受信する受信回路と、前記送信回路及び受信回路の送受信動作を制御する通信制御回路とを、備えたローカルエリアネットワーク回線システムにおいて、

前記受信回路の電源電流を遮断する電流遮断手段と、スタティック状態において電流消費が少ない回路で構成され、前記ローカルエリアネットワーク回線の信号変化を検出する信号変化検出回路と、

スリープ中は前記電流遮断手段を能動状態に設定すると共に前記信号変化検出回路を動作させてその出力を監視し、ウェイク・アップ後は前記電流遮断手段を非能動状態に設定するスリープ／ウェイク・アップ制御手段とを、備えたスリープ／ウェイク・アップ制御回路を設けたことを特徴とするローカルエリアネットワーク回線システム。

【請求項2】 前記受信回路は、前記電流遮断手段を持った差動コンパレータで構成し、

前記信号変化検出回路は、ディジタル的にエッジ検出を行うエッジ検出回路で構成したことを特徴とする請求項1記載のローカルエリアネットワーク回線システム。

【請求項3】 前記スリープ／ウェイク・アップ制御手段は、外部からのスリープ制御信号に基づき、または前記受信回路の出力に基づき、スリープモードとなる構成にしたことを特徴とする請求項1または2記載のローカルエリアネットワーク回線システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、互いに隔たった複数の装置（ノード）を結合して情報交換するためのローカルエリアネットワーク（LANという）回線システム、特にLAN回線に接続される各ノードにおけるスリープ／ウェイク・アップ（以下、SLEEP／WAKE-UPという）制御回路に関するものである。

【0002】

【従来の技術】 従来、LAN回線に接続される各ノードにおいて、LAN回線未使用時に消費電流を削減するモード（これをSLEEPモードという）に入り、いずれかのノードからLAN回線に信号が出力されたことを検知して通信可能状態に復帰する機能（これをWAKE-UP機能という）を有するLAN用の送／受信回路が提案されており、その一構成例を図2に示す。図2は、従来のLAN回線システムの概略の構成図である。このLAN回線システムは、2本のワイヤ（ツイストペア線）

によりネットワークを構成した差動型バス構造となっており、BUS（-）線1、及びBUS（+）線2を有している。BUS（-）線1はプルアップ抵抗3を介して電源電位VDDに、BUS（+）線2はプルダウン抵抗4を介して接地電位GNDに、それぞれ接続されている。BUS（-）線1、及びBUS（+）線2のデュアルワイヤには、マスタデバイス機能を持つ複数の装置（ノード）10-1、10-2、10-3、…が接続されている。各ノード10-1、10-2、10-3、…は、送信回路、受信回路、及びアービタ等を有し、それぞれマスタとなってデータを送受信することが可能な構成になっている。

【0003】 例えば、ノード10-1では、受信回路である差動コンパレータ11と、送信回路を構成するNPNトランジスタ12及びPNPトランジスタ13と、それらの差動コンパレータ11及びトランジスタ12、13を制御する通信制御回路14とを、備えている。差動コンパレータ11は、BUS（-）線1及びBUS（+）線2上のディジタルデータを受信して通信制御回路14へ与える回路であり、その（-）入力端子がBUS（-）線1に、（+）入力端子がBUS（+）線2にそれぞれ接続され、さらに出力端子が通信制御回路14に接続されている。トランジスタ13、14は、通信制御回路14の出力制御信号で駆動されてディジタルデータをBUS（-）線1及びBUS（+）線2へ出力するトランジスタであり、その一方のトランジスタ12のコレクタがBUS（-）線1に、エミッタがGNDに、それぞれ接続されている。他方のトランジスタ13のエミッタはVDDに、コレクタがBUS（+）線2に、それぞれ接続されている。通信制御回路14は、バス占有権の制御を行うアービタ、差動コンパレータ11の出力に基づきメッセージデータをデコードするメッセージデコーダ、BUS（-）線1とBUS（+）線2上のデータをデコード（サンプリング）するためのサンプルクロック発生回路、トランジスタ12、13を駆動するための送信データを生成する送信データ生成回路、及び水晶等の発振回路等で構成され、外部のユニット制御マイクロコンピュータ等から与えられるSLEEP制御信号CSにより、SLEEPモードへ移行して内部の発振回路等を停止させる回路である。

【0004】 次に、動作を説明する。通常動作時には、各ノード10-1、10-2、10-3、…内の全ての回路が動作状態になっており、BUS（-）線1及びBUS（+）線2上のデータをサンプリング（デコード）するためのサンプリングクロック発生回路や、水晶等の発振回路も常に動作しており、該BUS（-）線1及びBUS（+）線2の状態を常にモニタしている。例えば、ノード10-1からノード10-2へデータを送信する場合、該ノード10-1内のトランジスタ12、13によって送信先のアドレスやメッセージデータ

等をBUS (-) 線1及びBUS (+) 線2へ出力する。すると、ノード10-2では、BUS (-) 線1及びBUS (+) 線2上のデータを差動コンパレータ11で受信し、その受信信号を通信制御回路14へ与える。通信制御回路14では、差動コンパレータ11の出力をデコードし、ノード10-1からのデータが自己宛てのものか否かを判断し、自己宛てのものであれば、その応答信号をトランジスタ12、13によってノード10-1へ返送する。その後、ノード10-1からノード10-2へ通信用のデータが送られる。このとき、他のノード10-3、…では、通信制御回路14内のアービタによって送信動作や受信動作が停止される。

【0005】ここで、ユニット制御マイクロコンピュータ等から出力されたSLEEP制御信号CSが各ノード10-1、10-2、10-3、…へ与えられると、それらの各ノード10-1、10-2、10-3、…内の通信制御回路14が、SLEEPモードへ移行し、内部の発振回路等を停止させる等して、低消費電力状態に設定する。なお、SLEEPモードへの移行方法としては、例えば、BUS (-) 線1及びBUS (+) 線2の状態がパッシブ状態（バス・アイドル状態）であることを差動コンパレータ11の出力によって通信制御回路14が検出し、内部に設けたタイマで所定時間以上そのパッシブ状態が継続した場合、該通信制御回路14自身が自動でSLEEPモードへ移行する方法もある。

【0006】

【発明が解決しようとする課題】しかしながら、上記構成の装置では、SLEEP移行後も、所定ノードの通信開始要求を監視及び検出するために、BUS (-) 線1及びBUS (+) 線2上の信号の状態を監視する必要があるため、受信回路である差動コンパレータ11の電源をオフにすることができず、少なくとも数10 μ A〜数100 μ Aオーダの電流消費が避けられない。そのため、BUS (-) 線1及びBUS (+) 線2に接続されているノード数が多ければ多い程、その電流消費が大きく、低消費電力化ができないという問題点があった。また、低消費電力化の実現のため、差動コンパレータ11の電流供給まで停止してしまうと、バスの変化、即ち所定ノードの通信開始要求を監視及び検出することができず、SLEEP機能として不完全なものになるという問題が生じ、それらを解決することが困難であった。本発明は、前記従来技術が持っていた課題として、SLEEP中の電流消費が大きくなるという点について解決したLAN回線システムを提供するものである。

【0007】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、マスタとなってデータを送信することが可能な装置（ノード）が、多重通信のLAN回線に接続され、前記装置は、送信データを前記LAN回線へ出力する送信回路と、前記LAN回線上のデータを受信

する受信回路と、前記送信回路及び受信回路の送受信動作を制御する通信制御回路とを、備えたLAN回線システムにおいて、次のような構成のSLEEP/WAKE-UP制御回路を設けている。SLEEP/WAKE-UP制御回路は、前記受信回路の電源電流を遮断する電流遮断手段と、スタティック（静止）状態において電流消費が少ない相補型MOSトランジスタ（以下、CMOSという）等で構成され、前記LAN回線の信号変化を検出する信号変化検出回路と、SLEEP中は前記電流遮断手段を能動状態に設定すると共に前記信号変化検出回路を動作させてその出力を監視し、WAKE-UP後は前記電流遮断手段を非能動状態に設定するSLEEP/WAKE-UP制御手段とを、備えている。第2の発明では、第1の発明において、前記受信回路を、前記電流遮断手段を持った差動コンパレータで構成し、前記信号変化検出回路を、ディジタル的にエッジ検出を行うエッジ検出回路で構成している。第3の発明では、第1または第2の発明において、前記SLEEP/WAKE-UP制御手段を、外部からのSLEEP制御信号に基づき、または前記受信回路の出力に基づき、SLEEPモードとなる構成にしている。

【0008】

【作用】第1の発明によれば、以上のようにLAN回線システムのSLEEP/WAKE-UP制御回路を構成したので、SLEEP/WAKE-UP制御手段は、SLEEP状態に入る際に、電力消費量の大きな受信回路を非能動状態に設定すると共に、スタティック状態で電流消費の極めて少ない信号変化検出回路（例えば、スタティック状態で電源電流が約0 μ A程度になる回路）を能動状態に切り換える。これにより、SLEEP中は、LAN回線上のデータ伝送開始を信号変化検出回路が検出することになる。この信号変化検出回路によってデータ伝送開始が検出された後は、SLEEP/WAKE-UP制御手段が、信号変化検出回路から、ノイズや長距離伝送に強い受信回路に切り換えてその受信回路を能動状態に戻す。第2の発明によれば、SLEEP中は電流遮断手段によって差動コンパレータ内の電源電流が遮断され、エッジ検出回路でLAN回線上のデータ伝送開始を検出する。第3の発明によれば、SLEEP/WAKE-UP制御手段は、外部からのSLEEP制御信号に基づき、あるいは受信回路の出力に基づき、SLEEPモードとなって受信回路を非能動状態に設定すると共に、信号変化検出回路を能動状態にし、LAN回線上のデータ伝送開始を該信号変化検出回路で検出させる。従って、前記課題を解決できるのである。

【0009】

【実施例】図1は、本発明の実施例を示すツイストペア線によるLAN回線システムの概略の構成図である。このLAN回線システムは、多重通信用のBUS (-) 線21及びBUS (+) 線22を有し、そのBUS (-)

線21がプルアップ抵抗23を介して電源電位VDDに接続され、さらにBUS(+)線22がプルダウン抵抗24を介して接地電位GNDに接続されている。多重通信では、このBUS(-)線21及びBUS(+)線22を、マスタデバイス機能を持つ複数の装置(ノード)30-1, 30-2, 30-3, …で共用して使っている。各ノード30-1, 30-2, 30-3, …では、入力回路である受信回路と出力回路である送信回路とが、同一の回路構成である。例えば、ノード30-1では、BUS(-)線21、及びBUS(+)線22上のデジタルデータを受信する受信回路(例えば、電流遮断機能付き差動コンパレータ)40と、デジタルデータを該BUS(-)線21及びBUS(+)線22へ出力するNPNトランジスタ51及びPNPトランジスタ52からなる送信回路と、SLEEP/WAKE-UP制御手段61を有する通信制御回路60と、該BUS(-)線21及びBUS(+)線22上の信号の変化を検出してその結果を該通信制御回路60へ伝える信号変化検出回路(例えば、エッジ検出回路)70とを、備えている。

【0010】差動コンパレータ40の(+)入力端子41はBUS(+)線22に、(-)入力端子42はBUS(-)線21にそれぞれ接続され、その出力端子43が通信制御回路60に接続されている。この差動コンパレータ40は、通信制御回路60からのSLEEP指令信号S60aを入力するSLEEP制御端子44を有し、該SLEEP指令信号S60aによって内部の電流経路を遮断する回路構成になっている。送信回路を構成するトランジスタ51, 52は、通信制御回路60の出力制御信号によってベース制御されるもので、そのトランジスタ51のコレクタがBUS(-)線21に、トランジスタ52のコレクタがBUS(+)線22に、それぞれ接続されている。トランジスタ51のエミッタはGNDに、トランジスタ52のエミッタはVDDに、それぞれ接続されている。

【0011】通信制御回路60は、バス占有権の制御を行うアービタ、差動コンパレータ40の出力をデコードして受信データの取り込みを行うデコーダ、送信データを生成してトランジスタ51, 52のベース制御を行う送信データ生成回路、BUS(-)線21とBUS(+)線22上のデジタルデータをサンプリング(デコード)するためのサンプルクロック発生回路、及び水晶等の発振回路等を有する他に、SLEEP/WAKE-UP制御手段61を備えている。SLEEP/WAKE-UP制御手段61は、ホストCPU(中央処理装置)等から送られてくるSLEEP制御信号CSに基づきSLEEPモードへ移行し、差動コンパレータ40の電源電流を停止するために該差動コンパレータ40のSLEEP制御端子44へSLEEP指令信号S60aを出力すると共に、エッジ検出回路70の出力端子73か

ら出力されるWAKE-UP指令信号S73をデコードして他のノード30-2, 30-3, …からの通信開始要求があったことを確認すると、初期化信号S60bを該エッジ検出回路70のリセット端子74へ与えて通常動作モードへ移行する機能を有している。エッジ検出回路70は、その入力端子71, 72がBUS(-)線21及びBUS(+)線22にそれぞれ接続されており、該入力端子71, 72からの入力信号の変化(例えば、“1”→“0”、“0”→“1”等の変化)をとらえ、変化があった場合、そのことをWAKE-UP指令信号S73として出力端子73から出力して通信制御回路60内のSLEEP/WAKE-UP制御手段61へ知らせる回路である。

【0012】図3は、図1に示すSLEEP機能付きの差動コンパレータ40の構成例を示す回路図である。この差動コンパレータ40は、SLEEP状態において入力レベルによらず電流経路をオフし、消費電流を低減する回路を内蔵しており、例えば、差動部、電流源部、及び出力部を有し、それらがカレントミラー回路で構成され、SLEEP状態において電流源部の電流経路をオフし、さらに電流供給用PチャネルMOSトランジスタ(以下、PMOSという)50のゲート電圧をVDDレベルに固定してオフさせることにより、低消費電流状態を実現している。この差動コンパレータ40を構成する差動部、電流源部、及び出力部のうち、差動部はPMOS45, 46及びNチャネルMOSトランジスタ(以下、NMOSという)47, 48を有している。電流源部は、PMOS49, 51, 53, 54と、電流値を決めるための抵抗55とを、有している。出力部は、電流供給用PMOS50及び出力用NMOS52で構成されている。即ち、(+)入力端子41はPMOS45のゲートに接続されると共に、(-)入力端子42がPMOS46のゲートに接続されている。PMOS45のソースとPMOS46のソースがカレントミラー用PMOS49のドレインに共通接続されている。PMOS45のドレインは、NMOS47のドレイン及びゲートに接続され、該NMOS47のソースがGNDに接続されている。PMOS46のドレインは、NMOS48のドレインに接続されると共に、出力用NMOS52のゲートに接続され、そのNMOS48, 52の各ソースがGNDに接続されている。

【0013】NMOS52のドレインは、出力端子43に接続されると共に、電流供給用PMOS50のドレインに接続され、該PMOS50のソースがVDDに接続されている。PMOS49, 50の各ゲートは、カレントミラー用PMOS51のゲート及びドレインに共通接続されている。PMOS51のソースはVDDに接続され、そのゲート及びドレインが抵抗55の一端に共通接続されている。この抵抗55の一端には、PMOS53のドレインが接続され、そのソースがVDDに接続され

ている。抵抗55の他端は、NMOS54のドレインに接続され、そのソースがGNDに接続されている。NMOS54及びPMOS53の各ゲートは、SLEEP制御端子44に共通接続され、“H”入力で動作状態、

“L”入力でSLEEP状態に設定可能となる。

【0014】図4は、図1に示すエッジ検出回路70の構成例を示す回路図である。入力端子71はシュミットインバータ75の入力端子に接続され、該シュミットインバータ75の出力端子が遅延型フリップフロップ（以下、D-FFという）77のクロック入力端子に接続されている。入力端子72は、シュミットバッファ76の入力端子に接続され、該シュミットバッファ76の出力端子がD-FF78のクロック入力端子に接続されている。各D-FF77、78のデータ入力端子Dは、VDDにプルアップされ、さらにその各リセット入力端子Rがリセット端子74に共通接続されている。各D-FF77、78のデータ出力端子Qは、2入力ORゲート79の入力端子に接続されている。ORゲート79の出力端子からは、エッジ検出結果が出力され、それが出力端子73から外部へ出力されるようになっている。このエッジ検出回路70では、入力端子71の信号の立ち下がりをシュミットインバータ75で検出すると、あるいは入力端子72の信号の立ち上がりをシュミットバッファ76で検出すると、それらの出力端子に接続されたD-FF77、78のデータ出力端子Qから“1”が出力され、その出力がORゲート79で論理和がとられ、エッジ検出結果が出力端子73から出力される。また、エッジ検出後や電源オン時に、初期化信号S60bがリセット端子74に入力されると、各D-FF77、78がリセットされてそのデータ出力端子Qが“0”になり、該エッジ検出回路70が初期化される。

【0015】以上のように構成されるLAN回線システムの動作を説明する。図1の各ノード30-1、30-2、30-3、…内の通信制御回路60では、BUS（-）線21及びBUS（+）線22へのデータ出力を行うトランジスタ51、52のベース制御、差動コンパレータ40の出力から受信データの取り込み、及びSLEEP/WAKE-UP制御手段61でのSLEEP制御を行っている。SLEEP/WAKE-UP制御手段61のSLEEP制御では、エッジ検出回路70の出力端子73から出力されるWAKE-UP指令信号S73の確認、及び該エッジ検出回路70を初期化するための初期化信号S60bを出力し、さらに差動コンパレータ40への電源電流停止のためのSLEEP指令信号S60aの出力を行う。通常の通信動作時（通常動作モード）では、各ノード30-1、30-2、30-3、…内の通信制御回路60が、初期化信号S60bを出力してエッジ検出回路70を停止させてそのエッジ検出回路70の出力を使用せずに、差動コンパレータ40を動作させて他のノードからの通信開始要求を監視する。

【0016】例えば、ノード30-2からノード30-1へ通信開始要求があると、該ノード30-1内の差動コンパレータ40が、BUS（-）線21及びBUS（+）線22上の信号を検出して通信制御回路60へ与える。通信制御回路60では、自己宛ての通信開始要求か否かを判定し、自己宛てのものであれば、続いて送られてくるBUS（-）線21及びBUS（+）線22上のメッセージを差動コンパレータ40で検出し、その出力を該通信制御回路60内のデコーダで解読する。ノード30-1内の通信制御回路60は、ノード30-2に対して応答するときには、内部の送信データ生成回路で送信用のデータを生成し、トランジスタ51、52のベース制御を行って送信データをBUS（-）線21及びBUS（+）線22へ送信する。この送信データは、ノード30-2内の通信制御回路で読み取られる。このノード30-1と30-2間の通信時には、他のノード30-3、…は内部のアビタによってデータの送受信を停止している。ここで、ホストCPU等からSLEEP指令であるSLEEP制御信号CSが送られてきた場合を説明する。通信制御回路60内のSLEEP/WAKE-UP制御手段61では、ホストCPU等からSLEEPモードへの移行要求（SLEEP制御信号CS）がくると、差動コンパレータ40に与えるSLEEP指令信号S60aを“L”にする。すると、図3の差動コンパレータ40内では、NMOS54がオフすると共にPMOS53がオンし、VDDがPMOS49、50のゲートに与えられ、それらのPMOS49、50がオフ状態となって電源電流が遮断され、消費電流が少なくなる。

【0017】また、通信制御回路60内のSLEEP/WAKE-UP制御手段61では、エッジ検出回路70を有効とするため、該エッジ検出回路70へ与える初期化信号S60bを“L”にして該エッジ検出回路70のリセットを解除し、該エッジ検出回路70の出力端子73から出力されるWAKE-UP指令信号S73を有効にしてSLEEP状態に入る。その後、エッジ検出回路70がBUS（-）線21及びBUS（+）線22上のメッセージ伝送（例えば、BUS（-）線21であれば“1”→“0”、BUS（+）線22であれば“0”→“1”）を検出した場合、該エッジ検出回路70から出力されるWAKE-UP指令信号S73が“1”となり、通信制御回路60がウェイク・アップすべきことを検知する。そして、通信制御回路60が差動コンパレータ40へ与えるSLEEP指令信号S60aを“H”にする。

【0018】SLEEP指令信号S60aが“H”になると、図3の差動コンパレータ40内では、NMOS54がオンすると共にPMOS53がオフし、電流源を構成するPMOS51、抵抗55及びNMOS54が動作し、カレントミラー状態となっているPMOS49、5

0が能動状態となり、該差動コンパレータ40が入力受け付けを開始する。さらに、通信制御回路60では、エッジ検出回路70から出力されるWAKE-UP指令信号S73を無効(即ち、通信制御には用いない)、あるいは初期化信号S60bによって該エッジ検出回路70を初期化し、前記の通常動作モードへ移行する。このように、通信制御回路60では、SLEEP時のみエッジ検出回路70を動作させて差動コンパレータ40を停止させ、通常通信時には該エッジ検出回路70を停止させると共に差動コンパレータ40を動作させる。これにより、低消費電力動作を実現している。

【0019】以上のように、本実施例の利点をまとめれば、次のようになる。本実施例では、各ノード30-1, 30-2, 30-3, …内の通信制御回路60が、SLEEP中は、スタティック状態で電流消費の極めて少ないCMOS等で構成されたエッジ検出回路70に切り換え、WAKE-UP信号検出後は、通常動作時の差動コンパレータ40による受信動作に切り換える。そのため、SLEEP中における差動コンパレータ40の電流消費を少なくできると共に、エッジ検出回路70によってBUS(-)線21及びBUS(+)線22上の信号伝送開始を検出でき、的確にWAKE-UPへ移行できる。特に、自動車アプリケーション等のバッテリーで動作する用途におけるLAN化を図る場合においては、SLEEP中の消費電流が重要な要因(ファクタ)である。そのため、BUS(-)線21及びBUS(+)線22上に接続されるノード30-1, 30-2, 30-3, …の数が多くなる程、その電流値自体がシステム実現の可/否を決定するといっても過言ではない。例えば、自動車の場合では、運転をしない状態が続くと、バッテリー放電が進み、始動できないという重大問題に至る。本実施例は、種々の用途に使用できるが、近年急速に普及しつつある自動車内LAN等に適用すれば、非常に効果の高いものである。

【0020】なお、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(a) 図1の通信制御回路60では、外部からのSLEEP制御信号CSによってSLEEPモードへ移行するようになっているが、これは他の構成でもよい。例えば、通信制御回路60では、BUS(-)線21及びBUS(+)線22上の信号の状態がパッシブ状態(バス・アイドル状態)であることを差動コンパレータ40の出力によって検出し、所定時間以上そのパッシブ状態が継続した場合、自動でSLEEPモードへ移行するような回路構成にしてもよい。

(b) SLEEP機能付き差動コンパレータ40は、SLEEP状態において入力レベルによらず電流経路をオフして消費電流を低減する回路を内蔵すればよいた

め、図3以外の回路で構成することも可能である。さらに、この差動コンパレータ40は、BUS(-)線21及びBUS(+)線22上におけるデータ伝送方式に応じて、他の構成の受信回路で構成することも可能である。

(c) エッジ検出回路70は、図4の回路構成に限定されず、スタティック状態において電流消費が極めて少なくなるような他の回路構成に変更してもよい。

【0021】

【発明の効果】以上詳細に説明したように、第1の発明によれば、多重通信のLAN回線に接続される装置(ノード)のSLEEP/WAKE-UP制御回路において、SLEEP中はスタティック状態で電流消費の極めて少ない信号変化検出回路に切り換え、WAKE-UP検出後は、通常動作時の受信回路に切り換えるようにしている。そのため、SLEEP中における受信回路の消費電流を減少できると共に、LAN回線上の信号伝送開始を信号変化検出回路で検出でき、WAKE-UPへの確に移行できる。従って、自動車内のLAN等といった省電力型の種々の用途に適用できる。第2の発明によれば、受信回路を差動コンパレータで構成すると共に、信号変化検出回路をエッジ検出回路で構成したので、装置を比較的簡単な回路で構成できる。第3の発明によれば、SLEEP/WAKE-UP制御手段を、外部からのSLEEP制御信号に基づきSLEEPモードとなるように構成すると、SLEEP/WAKE-UP制御回路の回路構成が簡単になる。また、SLEEP/WAKE-UP制御手段は、受信回路の出力に基づきSLEEPモードとなる構成にした場合、外部のSLEEP制御信号生成回路等を削減できる。

【図面の簡単な説明】

【図1】本発明の実施例を示すLAN回線システムの概略の構成図である。

【図2】従来のLAN回線システムの概略の構成図である。

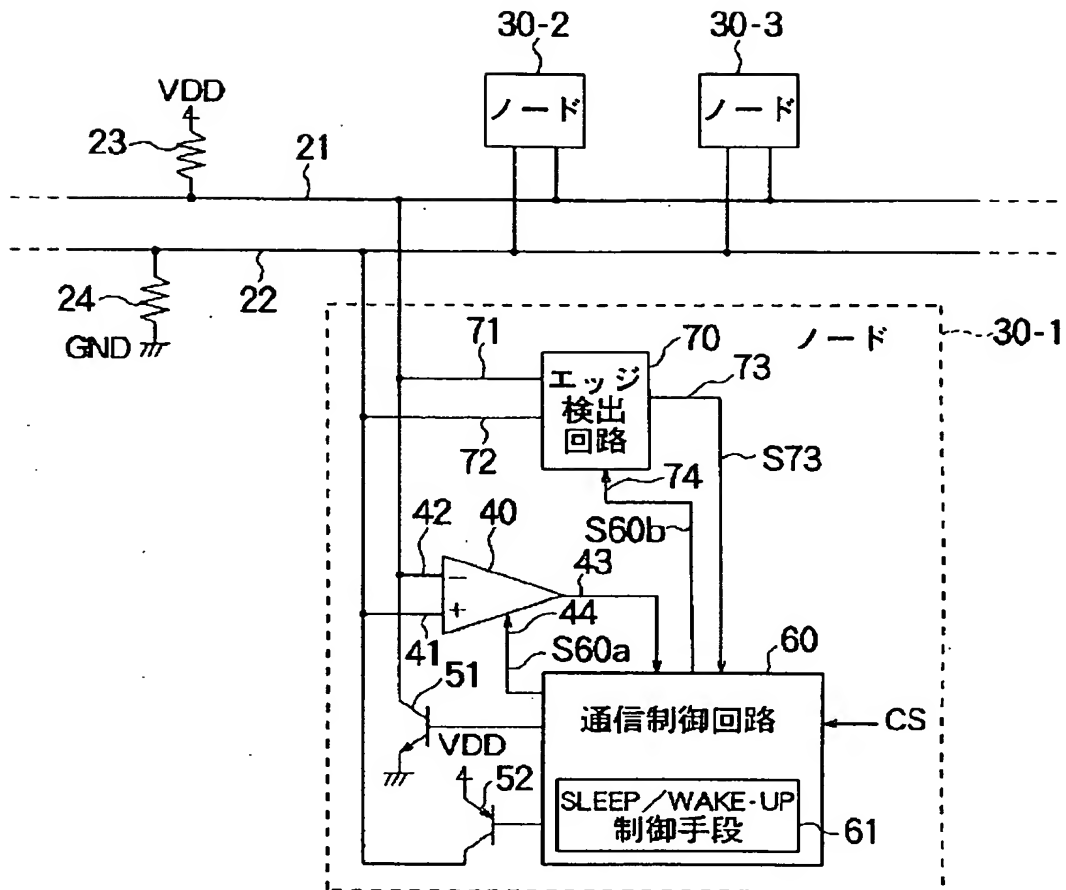
【図3】図1中の差動コンパレータの回路図である。

【図4】図1中のエッジ検出回路の回路図である。

【符号の説明】

21	BUS(-)線
22	BUS(+)線
30-1, 30-2, 30-3	ノード(装置)
40	差動コンパレータ(受信回路)
51, 52	トランジスタ(送信回路)
60	通信制御回路
61	SLEEP/WAKE-UP制御手段
70	エッジ検出回路

【図1】



本発明の実施例の LAN 回線システム

【図3】

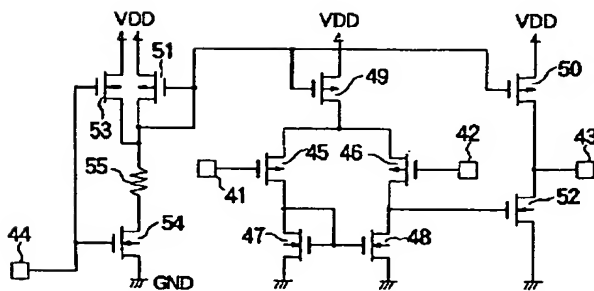


図1中の差動コンパレータ

【図4】

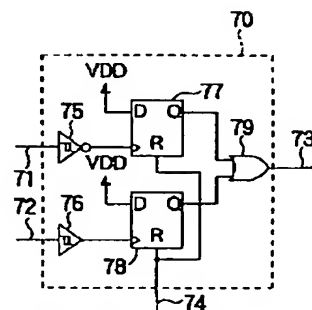
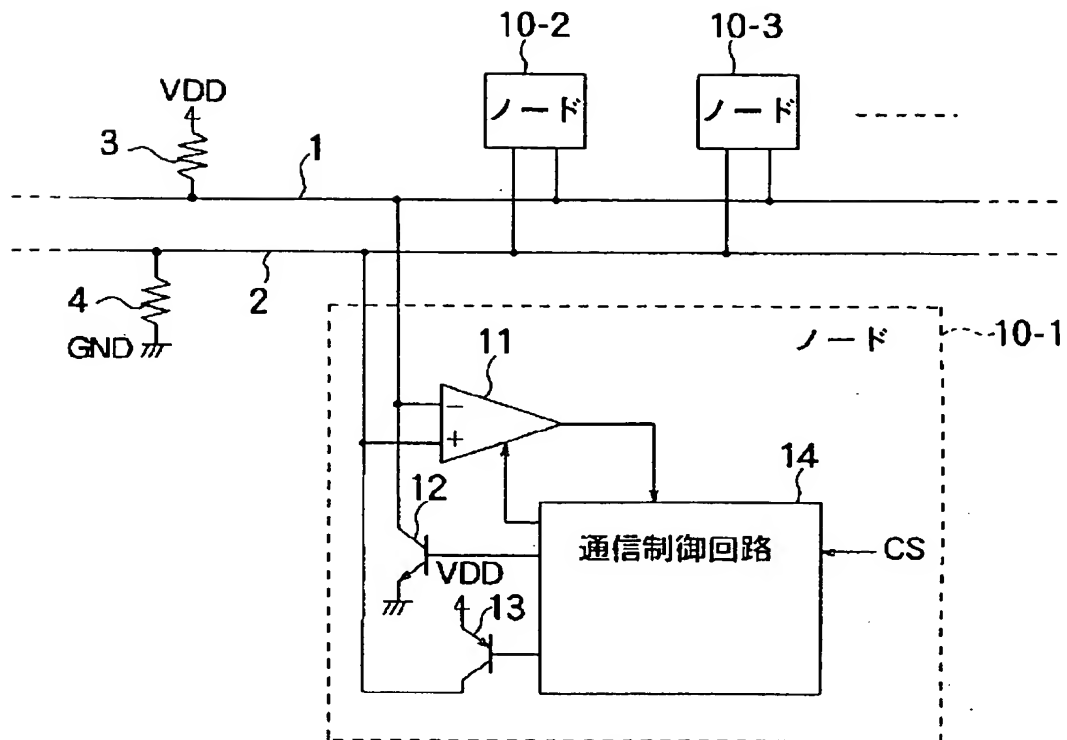


図1中のエッジ検出回路

【図2】



従来 LAN 回線システム